

基于改进量子进化算法的 NoC 测试规划研究

许川佩, 赵 龙

(桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

摘 要: 首先利用量子旋转门动态调整策略和并行跳跃基因对量子进化算法进行改进. 在功耗约束条件下, 采用重用 NoC 测试访问机制和 XY 路由算法, 利用改进量子进化算法将测试数据分配到不同的 TAM 上寻找最优测试方案. 最后以 ITC'02 基准电路作为实验对象对算法进行仿真验证. 实验结果表明, 经过改进后的量子进化算法对 NoC 测试规划优化明显, 能快速收敛得到最优解, 大大降低了系统的测试时间.

关键词: 片上网络; 测试规划; 改进量子进化算法; 功耗约束

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)12-0023-05

Research on Test Scheduling of NoC Based on Improved Quantum-inspired Evolutionary Algorithm

XU Chuan-pei, ZHAO Long

(School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: This paper proposes a method of test scheduling of NoC (Network-on-Chip, NoC) based on Improved Quantum-Inspired Evolutionary Algorithm. Firstly, improving the Quantum-Inspired Evolution Algorithm with dynamic quantum rotation gate strategy and jumping genes. Then in order to find the best test scheme under the constraint of system limited power consumption, this paper presented that employing the IQEA for allocating the test data to the TAMs, by reusing the NoC as TAM (Test Access Mechanism) and XY routing algorithm. Finally, ITC'02 benchmark circuits as simulation object, the experimental results show that the proposed method of IQEA can effectively optimize the test scheduling of NoC, obtain the optimal solution by rapid convergence and reduce the total test time greatly.

Key words: NoC; Test Scheduling; IQEA; Constraints of Power Consumption

1 引言

面对片上网络大量的 IP 核, 如何在尽可能减少测试资源冲突的前提下, 将大量测试数据合理安排到各条 TAM 上进行测试以减少系统的测试时间成为了亟待解决的问题. 目前 NoC 的测试规划主要集中在对 IP 核的测试调度策略上, 对在功耗限制下利用智能算法将测试数据分配到测试访问机制 (Test Access Mechanism, TAM) 上进行测试的研究还比较少. Goutam Mali 等人^[1]在采用重用 NoC 测试访问机制下对 NoC 进行测试规划, 通过遗传算法将不同的 IP 核分配到不同传输端口下进行测试, 但是没

有对系统功耗进行限制. Rana Farah, Haidar Har-nanani^[2]在固定时钟下提出一种确定性路由算法对测试时间进行优化, 但是未对 IP 核的测试进行分配, 优化效果不明显. Hassan Salamy^[3]等利用线性方程为测试时间不同的 IP 核分配了不同的时钟, 降低了系统总测试时间. 欧阳一鸣等人^[4]在考虑时间和功耗的因素下, 选取总体测试代价最小的端口位置和 IP 核调度顺序, 降低了 NoC 的总体测试时间和功耗, 提高了并行测试效率.

量子进化算法 (Quantum-Inspired Evolutionary Algorithm, QEA) 具有较小的种群规模, 优异的全局搜索能力和快速收敛性等优点. 本文对量子

进化算法进行改进,使其适用于多进制问题编码,并利用量子计算的并行特性将 NoC 上的测试数据合理地分配到 TAM 上进行测试. 为了提高算法的探索 and 开发能力,进一步加快算法收敛速度,对量子门执行动态调整策略;为了避免算法陷入局部最优当中,结合测试规划问题编码特点,加入跳跃基因算子以增加种群的多样性.

2 NoC 测试规划问题

NoC 测试规划的主要目的是在尽可能低占用系统资源的情况下降低系统的测试时间. 而影响测试时间的主要因素是测试的时钟频率、传输端口数量和位置、测试数据分配方案、测试带宽等. 为了降低 NoC 系统的测试时间,通过利用片上网络丰富的互联线,路由节点和支持大数据量传输的机制进行并行测试^[5].

2.1 测试规划功耗模型

本文在系统总功耗的限制条件下对 NoC 进行测试规划,假设在 NoC 测试规划研究中有 m 条 TAM,式(1)为功耗限制的数学公式:

$$P_{\text{total}} = \sum_{i=1}^m P_{\text{TAM}_i} = \sum_{i=1}^m (P_{\text{pass}_i} + P_{\text{cores}_i}) \leq P_{\text{max}} \quad (1)$$

式中, P_{max} 为 NoC 系统额定功耗, P_{total} 为某时刻的测试总功耗, P_{TAM_i} 为 TAM_{*i*} 上测试产生的功耗,包含了传输功耗 P_{pass} 和核的测试功耗 P_{cores} . 从式(2)可以看到, P_{pass} 包含测试通道产生的功耗 P_{channel} 和路由产生的功耗 P_{router} , 本文根据文献[4]中给出的功耗模型,分别设为 2、10 基本功耗单位. nb_{channel_i} 和 nb_{router_i} 分别为测试中 TAM_{*i*} 上核测试经过的通道数和路由数.

$$\begin{aligned} P_{\text{pass}_i} &= (nb_{\text{channel}_i} * P_{\text{channel}} + nb_{\text{router}_i} * P_{\text{router}}) \\ &= [nb_{\text{channel}_i} * P_{\text{channel}} + (nb_{\text{channel}_i} + 1) * P_{\text{router}}] \\ &= [nb_{\text{channel}_i} * (P_{\text{channel}} + P_{\text{router}}) + P_{\text{router}}] \end{aligned} \quad (2)$$

2.2 NoC 测试规划分析

在对 NoC 的测试中,以 TAM 为单位采用非抢占式的策略对 IP 核进行并行测试. 一旦待测 IP 核采用 XY 路由方式分配了测试路径,这些资源将被占用,直到该 IP 核测试完成才释放. 所以测试数据量的增加直接影响到最终的测试时间,这样在测试当中对测试数据的合理分配调度成为了测试规划研究的关键. 如图 1 所示,在系统功耗 P_{max} 的限制下, TAM 的条数为 3, 利用重用 NoC 测试访问机制,考虑并行测试时系统资源的冲突,不同的测试数据分配方案,得到的测试时间是不一样的.

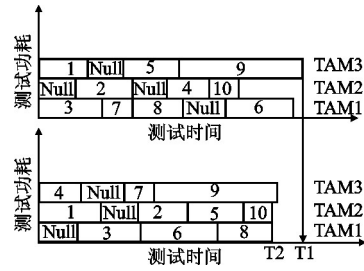


图 1 不同数据分配方案的测试时间

测试数据分配到 TAM 上的问题可以描述为: 在最大功耗限制下,有 m 条 TAM, 每一个测试数据的测试时间、测试功耗和所占用的系统资源是不同的. 而测试数据分配到 TAM 的方案不同,最后的测试时间是不一样的,当需要测试的数据量较多时,很难找到一个最优方案,即是一个 NP 问题.

2.3 NoC 测试时间评估方程

NoC 测试时间即为各条 TAM 上测试时间的最大时间值,如图 1 所示. TAM 的测试时间为空闲时间和 IP 核的总测试时间组成,如式(3)所示.

$$T = \max(T_i) = \max(T_{\text{null}_i} + T_{\text{total}_i}) \quad (1 \leq i \leq m) \quad (3)$$

待测 IP 核的总测试时间 T_{total} 由各个待测 IP 核需要的测试时间,经过的测试通道和路由节点的测试时间组成,如式(4)所示.

$$\begin{aligned} T_{\text{total}} &= \sum_{j=1}^n T_{\text{core}_j} \quad (1 \leq j \leq n) \\ &= \sum_{j=1}^n (nb_{\text{channel}_j} * T_{\text{channel}_j} + nb_{\text{router}_j} * T_{\text{router}_j} + T_j) \\ &= \sum_{j=1}^n [nb_{\text{channel}_j} * T_{\text{channel}_j} + (nb_{\text{channel}_j} + 1) * T_{\text{router}_j} + T_j] \\ &= \sum_{j=1}^n [nb_{\text{channel}_j} * (T_{\text{channel}_j} + T_{\text{router}_j}) + T_{\text{router}_j} + T_j] \end{aligned} \quad (4)$$

式中, n 为 IP 核的个数, T_{channel_j} 和 T_{router_j} 分别表示测试 IP 核 j 在通道和路由上消耗的时间. nb_{channel_j} 和 nb_{router_j} 分别表示测试 IP 核经过的路径跳数和路由数, T_j 为 IP 核的测试时间. 由于通道和路由的测试时间是和具体的集成电路工艺技术有关,本文对 T_{channel} 和 T_{router} 均设为单位时钟周期.

3 量子进化算法

量子进化算法 (Quantum-Inspired Evolutionary Algorithm, QEA)^[6], 一种以量子计算为基础

的智能算法,其采用量子比特实现对染色体编码,量子旋转门对个体进行更新,使算法具有了优异的全局搜索能力.量子进化算法中量子信息的基本存储单元是量子比特,通常用 $|0\rangle$ 和 $|1\rangle$ 表示微观粒子的两种基本状态,一个量子比特可表示如下:

$$|\psi\rangle = \alpha|0\rangle + \beta|1\rangle \quad (5)$$

式中, α 和 β 均为复数,分别表示状态 $|0\rangle$ 和 $|1\rangle$ 的概率幅,并且满足归一化,即 $\alpha^2 + \beta^2 = 1$.从式(5)可以看到量子比特除了两个基本态外还可以表示为 $|0\rangle$ 和 $|1\rangle$ 两个基态的线性组合,称为叠加态.一个长度为 n 的量子染色体 q 的编码方式如下:

$$q = \begin{bmatrix} \alpha_0 & \alpha_1 & \cdots & \alpha_n \\ \beta_0 & \beta_1 & \cdots & \beta_n \end{bmatrix} \quad (6)$$

采用量子比特这种编码方式,使得一个量子染色体能够表示多种状态的线性叠加,相比传统编码方式只有一个候选解,QEA能够很好地保持种群的多样性.随着某一状态的概率逐渐趋近于0或1,种群的多样性也随之减少,算法将逐步收敛.

在量子进化算法中量子染色体是依靠量子门来更新的,量子门选择的合适与否将直接影响到算法的优化结果.量子染色体 q 的第 k 位量子比特利用量子门更新的公式如下:

$$\begin{bmatrix} \alpha'_k \\ \beta'_k \end{bmatrix} = \begin{bmatrix} \cos(\Delta\theta_k) & -\sin(\Delta\theta_k) \\ \sin(\Delta\theta_k) & \cos(\Delta\theta_k) \end{bmatrix} \begin{bmatrix} \alpha_k \\ \beta_k \end{bmatrix} \quad (7)$$

式中, $\Delta\theta_k$ 为当前量子比特位的旋转角,具体 $\Delta\theta_k$ 查询表在文献[6]中有说明.

4 基于改进量子进化算法的 NoC 测试规划方法

改进量子进化算法(Improved Quantum-inspired Evolutionary Algorithm, IQEA) NoC 测试规划实现流程如图2所示.首先,初始化测试数据分配种群,确定种群的规模和最大迭代数.接着通过观测种群得到观测值,确定测试数据分配方案,并计算适应度值.最后通过量子门动态调整策略和跳跃基因更新个体,迭代寻找最优解.

4.1 编码

针对2D-mesh结构的NoC系统,本文建立起XY坐标体系,对测试数据所在的资源节点进行编号,图3为 4×4 共16个资源节点的XY坐标示意图.

多进制编码方式可以有效减少对个体反复地编码和解码.采用为使量子比特具有多个量子态,用于对测试规划问题进行多进制编码,加快算法的运行

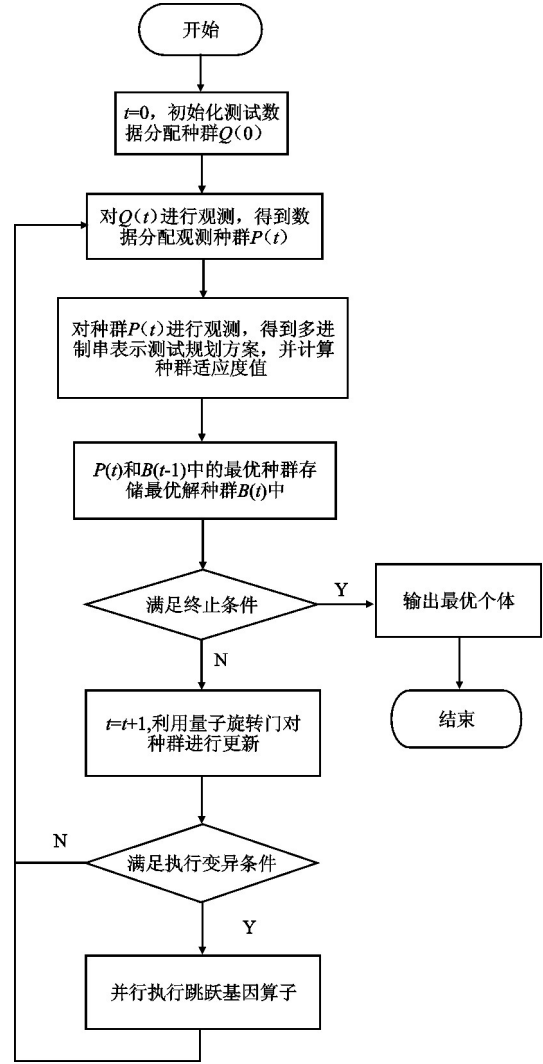


图2 NoC 测试规划流程图

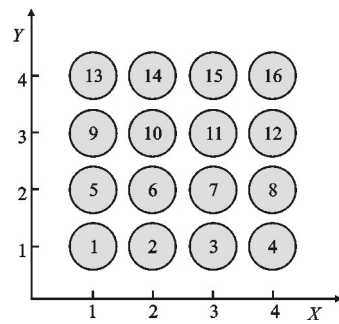


图3 资源节点 XY坐标示意图

速率.

假设有 n 个待测IP核, m 条TAM,第 t 代测试数据分配到TAM的种群为: $Q(t) = \{q_1^t, q_2^t, \cdots, q_w^t\}$, w 为种群的大小.下述为用量子计算编码表示一种测试数据分配的方案,即种群中的第 k 个个体的编码:

$$q_k^t = \begin{bmatrix} p_{k11}^t & p_{k12}^t & \cdots & p_{k1n}^t \\ p_{k21}^t & p_{k22}^t & \cdots & p_{k2n}^t \\ \vdots & \vdots & & \vdots \\ p_{km1}^t & p_{km2}^t & \cdots & p_{kmn}^t \end{bmatrix} \quad (8)$$

$$\sum_{i=1}^m p_{kij}^t = 1 (i = 1, 2, \cdots, m; j = 1, 2, \cdots, n) \quad (9)$$

编码方案中量子比特位即为个体中的基因位, n 个量子比特位表示将 n 个待测 IP 核分配到各条 TAM 上进行测试. 每个量子比特位都有 m 个量子态, 即表示有 m 条 TAM. 假设待测 IP 核 $n = 10$, TAM 数量 $m = 3$, 通过观测测试数据分配到 TAM 的量子编码个体可以得到一个长度为 10 的 3 进制串. 例如“0120102210”, 表示 TAM 0 上待测试核所在资源节点编号为 1、4、6、10, TAM 1 上为 2、5、9, TAM 2 上为 3、7、8.

4.2 种群初始化

根据系统额定功耗的限定, 可以同时进行测试的 TAM 数为 m , 需要进行测试的 IP 核为 n . 测试分配初始化种群 $Q(0)$ 中的个体都是由各个状态的等概率叠加, 即 q_k^0 中 p_{kij}^0 均初始化为 $1/m$, 个体有 n 个量子比特位来表示待测 IP 核.

4.3 种群观测

通过观测算法种群个体可以得到一个多进制串. 为了快速得到一个观测解, 本文用轮盘赌的策略进行观测操作, 具体产生一个均匀随机数 $r \in [0, 1]$, 判断 r 所在的概率区间, 得到对应的观测值.

4.4 改进量子门更新个体

对个体进行更新操作, 算法第 t 代个体 q_k^t 中第 j 个量子位的第 i 个量子态 p_{kij}^t 观测值对应的概率值减小 Δp , 该量子位的当前最优解即 $B(t)$ 中的第 j 位 b_j^t 对应的概率增大 Δp , 反之亦然, Δp 的查询表如表 1 所示. 表中的 x_i 和 b_i 分别表示观测解 x_j^t 和最优解 b_j^t 中第 i 位的值, 可以看到种群向低适应度值收敛, 得到一个最优解.

表 1 Δp 查询表

$x = b_i$	$f(x_j^t) \leq f(b_j^t)$	Δp
false	false	change
false	true	0
true	false	0
true	true	0

在量子进化算法中对个体的更新采用的是固定量子门大小, 在进化的过程中个体逐渐向某一个量

子基态收敛会使种群失去多样性. 为了保持种群的多样性, 使得量子个体的进化更具有目的性, 本文采用量子门动态调整策略更新个体. 在个体进化的初期, 为使每一个解都尽最大可能被搜索到, 量子门应该设定较小, 以提高种群的搜索能力. 在个体迭代进化当中, 种群会逐步收敛, 这样会导致算法缺失多样性, 所以在迭代进化的前期阶段要逐步增大量子门的大小, 提高种群的开发能力. 在进化的后期阶段为了提高种群局部搜索能力, 再次逐步减小量子门的大小. 文献[7]中对 Δp 的取值进行了定义, 本文针对 NoC 的测试规划问题对量子门进行动态调整, 如式(10)所示, 其中 $\Delta \varphi$ 为量子门的迭代步长, T 为总的迭代次数.

$$\begin{cases} \Delta p = \frac{0.01 + \Delta \varphi * t}{k}, 1 \leq t \leq \frac{T}{2} \\ \Delta p = \frac{0.04 - \Delta \varphi * (t - \frac{T}{2})}{k}, \frac{T}{2} < t \leq T \end{cases} \quad (10)$$

4.5 并行执行跳跃基因算子

量子进化算法在寻优的过程中, 量子比特位逐渐趋于某一稳定状态, 这样算法在收敛过程中容易陷入局部最优当中. 为了避免产生这样的问题, 本文引入了并行跳跃基因算子扩大种群的观测解空间. 目前, 跳跃基因算子主要有两种形式: 剪切粘贴操作与复制粘贴操作. 本文通过观测种群得到的多进制串, 利用并行执行两种跳跃基因操作方式扩大观测解空间进行目标寻优. 跳跃基因的剪切粘贴主要步骤: 对观测得到的多进制串随机选择一个剪切点和粘贴点, 然后将这个点的跳跃基因粘贴到随机选择的粘贴点处. 假设有 3 条 TAM, 10 个待测 IP 核, 那么观测种群得到一个 10 位的 3 进制串, 其复制位为 2 位的跳跃基因剪切粘贴操作如图 4 所示. 跳跃基因的复制粘贴操作步骤也类似, 同样随机选择一个复制点和复制位数, 然后将这个点的跳跃基因粘贴到随机选择的粘贴点处, 如图 5 所示.

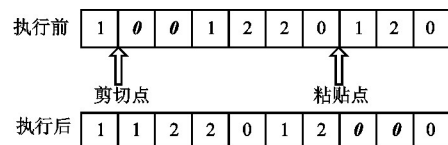


图 4 跳跃基因剪切粘贴操作

通过并行执行跳跃基因算子, 种群产生了两个并行的解空间. 而观测解的扩大增加了算法的多样性, 可以有效地跳出局部最优解当中.

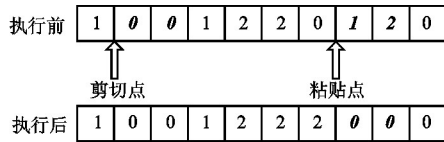


图5 跳跃基因复制粘贴操作

5 实验结果分析

本文采用 ITC'02 测试标准电路中的 d695 电路作为实验对象,对算法进行仿真验证. 程序采用 Visual C++ 编写,在 AMD Athlon (tm) 64 X2, CPU 1.79 GHz,2 GB 内存,Windows XP 环境下运行. 测试的基准时钟为 $f_T=1$ GHz,TAM 的通道带宽为 32 位,表 2 中给出了 d695 基准电路的测试数据,其中测试时间以时钟周期为单位.

表2 d695 基准电路测试数据

Cores	Test packets	Packet size	Test cycles/cycle	Test power
1	24	32	25	660
2	146	108	588	602
3	150	33	2 507	823
4	210	250	5 829	275
5	220	1 730	6 206	690
6	468	790	9 869	354
7	190	684	3 359	530
8	194	228	4 605	753
9	24	2 048	836	640
10	136	1 742	3 863	1 144

实验将 d695 基准电路的 10 个核随机分布在 4×4 的 2D-mesh 结构中,系统额定功耗 $P_{\max}$ 为测试 IP 核总功耗的 50%,即 3 236 个基本功耗单位. 表 3 中给出了在功耗限制下最大 TAM 数为 4 的情况下的 d695 电路最优测试规划方案. 包括对应的 TAM 数量,通过改进量子进化算法收敛得到的测试数据分配方案和系统的测试时间. 可以看到随着 TAM 数量的增加,系统的测试时间大幅降低. 这说明在充分利用 NoC 系统资源的情况下,增加 TAM 的条数,即并行测试数量可以有效地降低测试时间.

表3 d695 电路最优测试规划方案

TAM	测试数据分配方案	系统测试时间
2	1 101 100 001	20 225
3	2 201 210 002	18 205
4	2 000 113 223	16 075

为了验证改进量子进化算法对 NoC 测试规划问题研究的有效性,本文采用文献[7]中的测试数据

进行优化效果对比验证. 该文献对 NoC 的测试主要是通过通过对 IP 核的测试时间进行目标排序,在功耗约束的条件下,将待测 IP 核根据 TAM 的空闲与否分配,对 NoC 系统进行测试. 通过图 6 可以看到本文对不同 TAM 数的测试规划,测试时间相较于文献[7]都有明显的下降.

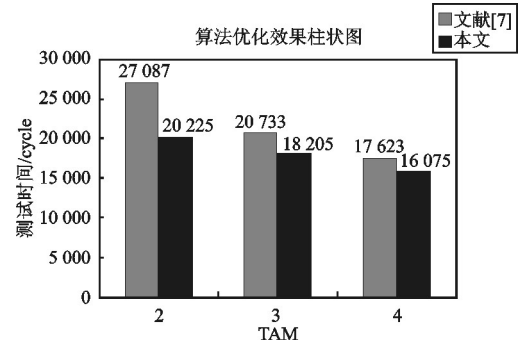


图6 本文对比文献[7]的优化效果

为了验证加入量子门动态调整策略和执行并行跳跃基因对算法在收敛速度和寻优效果上的提高,本文将量子进化算法和改进后的算法进行比较,图 7 为 TAM 数量为 4 时,IQEA 和 QEA 的收敛曲线图,可以看到 IQEA 的收敛代数和测试时间与 QEA 相比都有了降低.

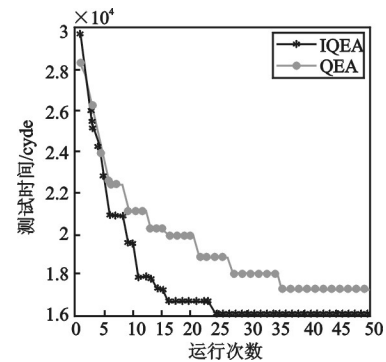


图7 IQEA 和 QEA 的运行次数与测试时间关系

实验结果证明通过改进量子进化算法,加入动态量子门加快了算法的收敛速度,算法的种群基本都在 25 代左右收敛;并行跳跃基因的加入扩大了种群的观测解空间,提高了种群的多样性,避免了算法陷入局部最优.

6 结束语

本文主要对基于改进量子进化算法的 2D-mesh 结构 NoC 进行测试规划研究,本文将测试数据分配到各条 TAM 上进行测试,且将量子进化算法改进

(下转第 33 页)

算相交系数进而划分子超球的规则进行了阐述. 满足条件的母超球分解为多个子超球之后, 如果测试样本落入相交区域, 定义简单的几何决策方法确定测试样本的类别. 实验结果验证了算法的有效性及其可行性. 虽然本文算法在计算复杂度、分类精度上均有所提高, 但仍需在更复杂的数据集上验证其有效性, 进一步更新分类决策规则.

参考文献:

- [1] Vapnik V N. An overview of statistical learning theory [J]. IEEE Transactions on Neural Networks (S1045-9227), 1999, 10(5): 988-999.
- [2] Hsu Chih Wei, Lin Chih Jen. A comparison of methods for multi-class support vector machines [J]. IEEE Transactions on Neural Networks, 2002, 13(2): 415-425.
- [3] Platt J C, Cristianini N, Shawe-Taylor J. Large margin DAGs for multiclass classification [C] // Solla Advances in Neural Information Processing Systems. Cambridge, MA: MIT Press, 2000: 547-553.

- [4] Zhu M L, Chen S, Liu X D. Sphere-structured support vector machines for multi-class pattern recognition [J]. Lecture notes in computing science, 2003(2369): 589-593.
- [5] 吴强, 贾传炎. 球结构支持向量机的改进算法及仿真研究 [J]. 系统仿真学报, 2008, 20(2): 345-348.
- [6] 刘爽, 陈鹏. 改进的超球支持向量机算法 [J]. 计算机工程与应用, 2009(16): 149-151.
- [7] Blake C L, Merz C J. UCI repository of machine learning databases [DB/OL]. (1988-07-15). [2013-10-11]. <http://www.ics.uci.edu/mllearn/>

作者简介:

陈 鹏 男, (1977-), 硕士, 副教授. 研究方向为网络安全. E-mail: chenpeng@neusoft.edu.cn.

刘 爽 女, (1977-), 博士, 副教授. 研究方向为智能信息处理.

李灵华 女, (1975-), 硕士, 讲师. 研究方向为图形图像处理.

(上接第 27 页)

成多进制的并行跳跃基因量子进化算法, 同时加入了量子门动态调整策略. 实验选取 ITC'02 标准测试电路进行仿真验证, 实验结果表明, 改进后的算法在收敛速度和寻优结果上有了显著的提升; 通过算法对测试数据合理分配和对片上资源的充分调度, 提高了系统测试资源的利用率, 有效地减少了测试时间.

参考文献:

- [1] Goutam Mali. Non-preemptive test scheduling for network-on-chip(NoC) based systems by reusing NoC as TAM [J]. Circuits and Systems, 2010(12): 268-271.
- [2] Rana Farah, Haidar Harmanani. A method for efficient NoC test scheduling using deterministic routing [J]. IEEE International, 2010(9): 27-29.
- [3] Hassan A Salamy, Haidar M Harmanani. An optimal for mulation for test scheduling network-on-chip using multiple clock rates [C] // Proceedings of the IEEE

CCECE. Niagara Fall, 2011: 215-218.

- [4] 欧阳一鸣, 张岚, 梁华国. 一种时间优化的 NoC 低功耗测试调度方法 [J]. 中国科学技术大学学报, 2010, 40(5): 540-545.
- [5] 许川佩, 李素娟. 基于云量子进化算法的 NoC 资源内核测试优化研究 [J]. 微电子学与计算机, 2013, 30(12): 117-120.
- [6] 雷华军, 秦开宇. 基于改进量子进化算法的测试优化选择 [J]. 仪器仪表学报, 2013, 34(4): 838-844.
- [7] Cota E, Chunsheng Liu. Constraint-driven test scheduling for NoC-based systems [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006, 25(11): 2465-2478.

作者简介:

许川佩 女, (1968-), 教授, 硕士生导师. 研究方向为自动测试总线与系统、集成电路测试理论与技术.

赵 龙(通讯作者) 男, (1988-), 硕士研究生. 研究方向为集成电路测试技术. E-mail: gogozhaolong@sina.cn.